計算機組織 Final Project

Pipelined CPU Design

老師：朱守禮老師

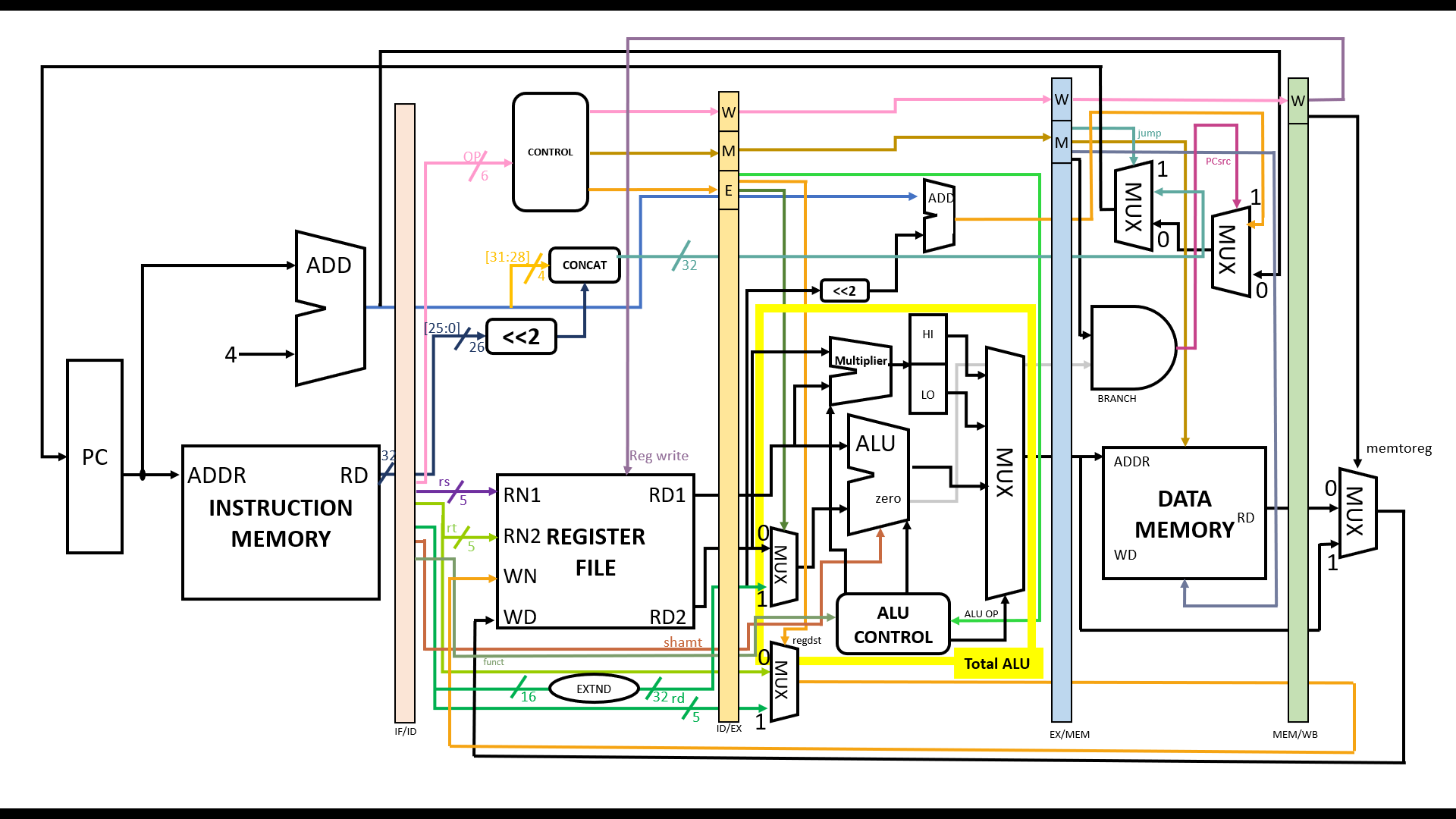
第10組

11027112 陳逸駿

11027140 陳芃睿

11027147 邱峻彥

11027149 游婕歆

1. **架構圖**

**2.背景**

使用verilog撰寫並運用Modelsim進行模擬，以 Midterm Project 所設計之 ALU Design為基礎，參考課本 Chapter 4 與課程講義之 Pipelined Datapath ，設計一個 Pipelined MIPS Lite CPU 。將原本的ALU換成期中project所撰寫的ALU後要維持運作正常，最後在符合老師的規定下，完成老師要求的16道指令。

**3.** **設計重點說明**

參考了課本後面的 Datapath and Control Unit ，使用single\_cycle\_CPU用5個暫存器(分別是IF/ID、ID/EX、EX/MEM、MEM/WB)切成五個部分

◾讀取指令

◾做pc=pc+4

**----------------------------IF/ID--------------------------**

◾解碼指令

◾指令擴充

◾取pc+4後的指令(32bits)的前面6位元的後4位元和jump指令中的address（26位元）向左偏移2位元的組合

**-----------------------------ID/EX-------------------------**

◾處理指令運算

**---------------------------- EX/MEM------------------------**

◾看需不需要執行jump或是branch

◾運算結果存入data memory

**---------------------------- MEM/WB -----------------------**

◾決定要寫回WD的要選data memory中的值還是TotalALU算好的值

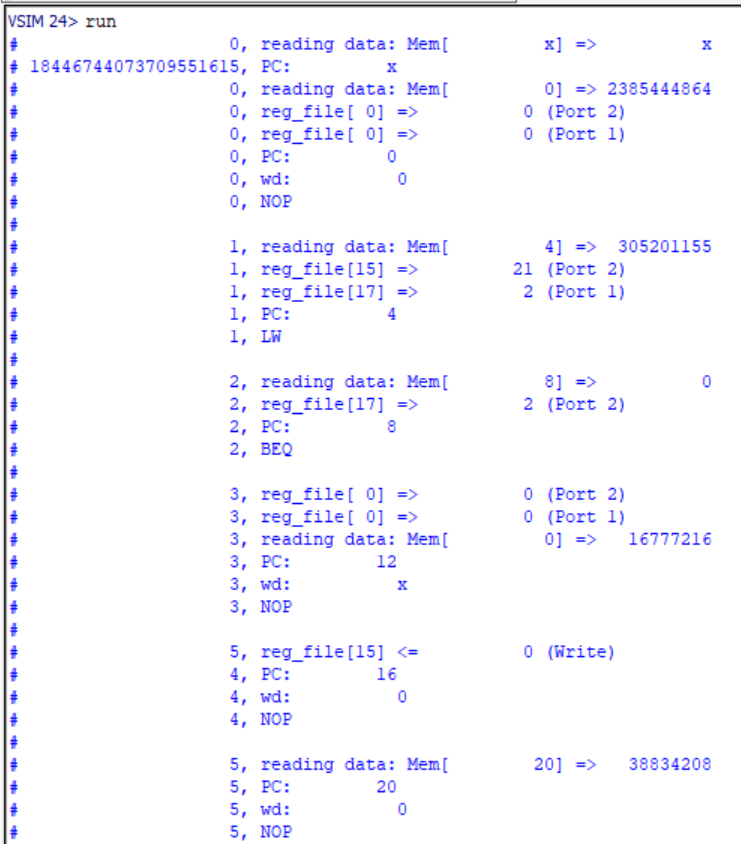
**4.modelsim執行結果與討論**

**✔ 驗證結果&** **Waveform**

**1.**

Beq和j都會造成DataHazard所以要接3個nop解決

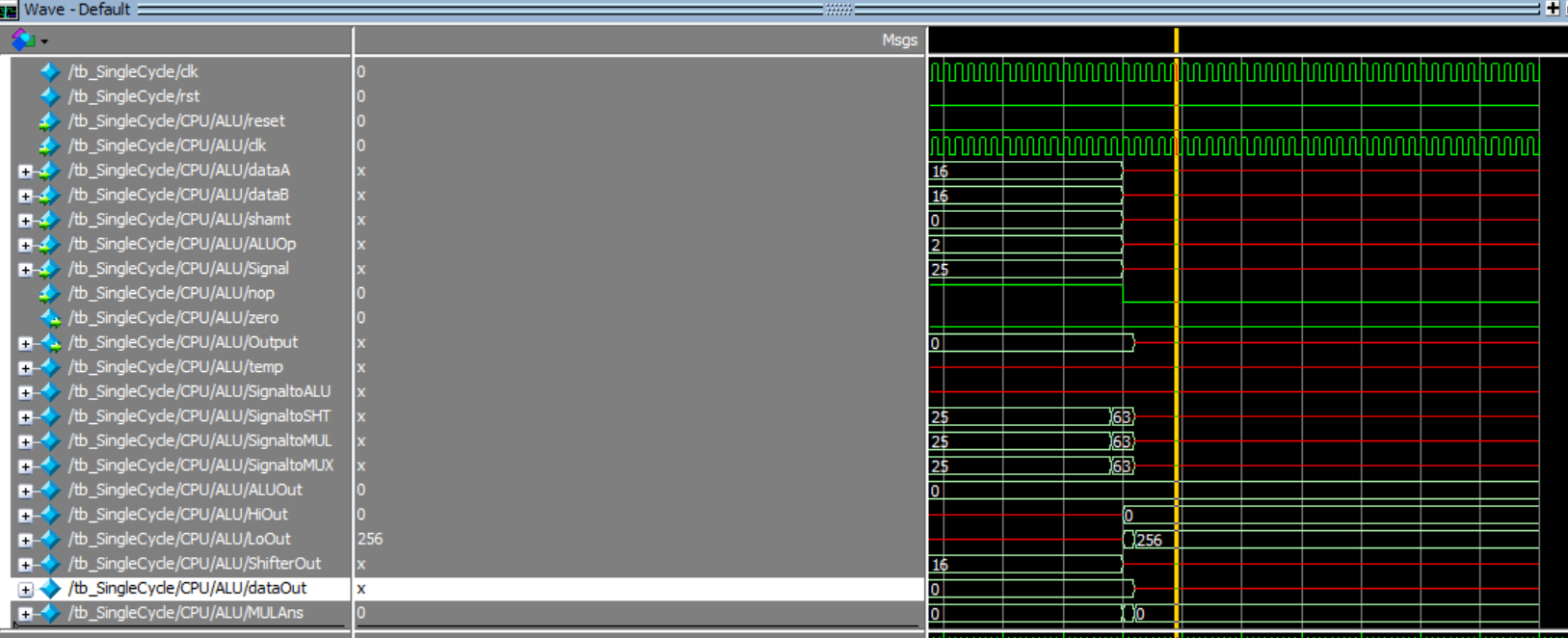
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| IF | ID | EX | MEM | WB |  |
| nop |  |  |  |  |  |
| lw | nop |  |  |  |  |
| **beq** | lw | nop |  |  | beq會造成DataHazard |
| **nop** | **nop** | **nop** | beq | lw | 所以要接3個nop解決DataHazard |
| **add** | nop | nop | nop | beq | beq之後就跳去add指令了 |

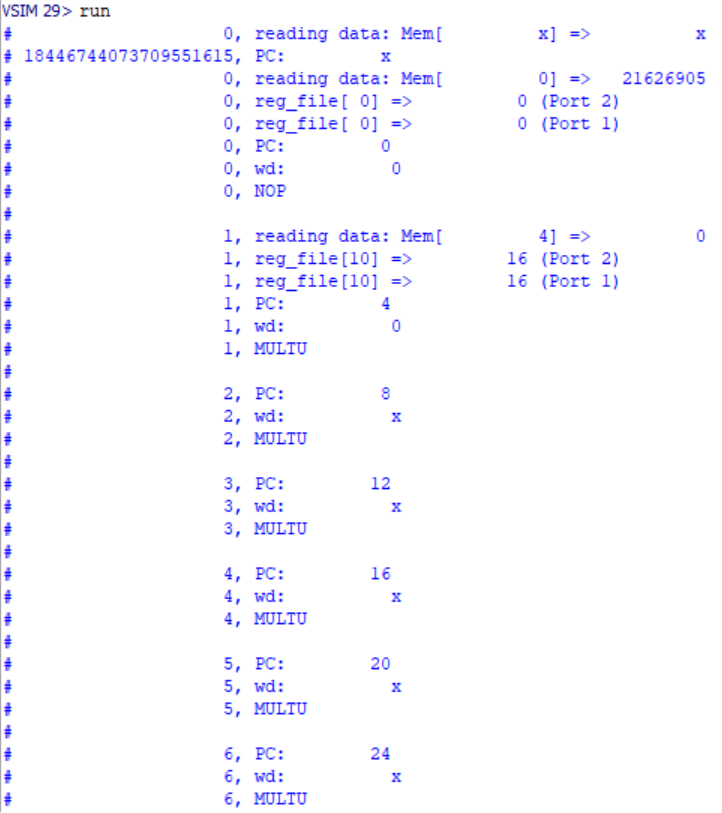
****

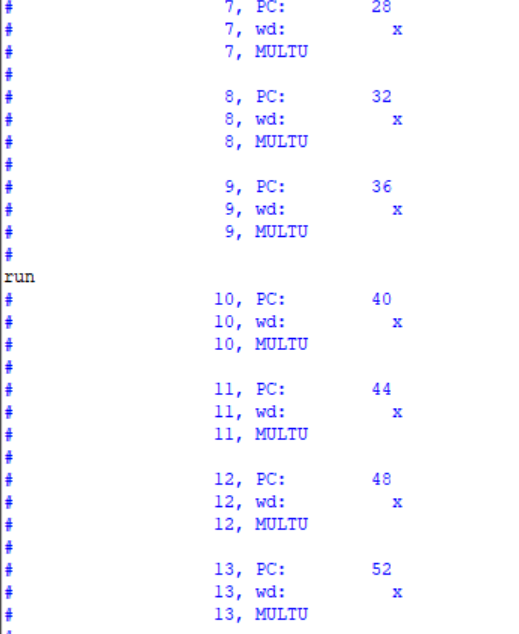
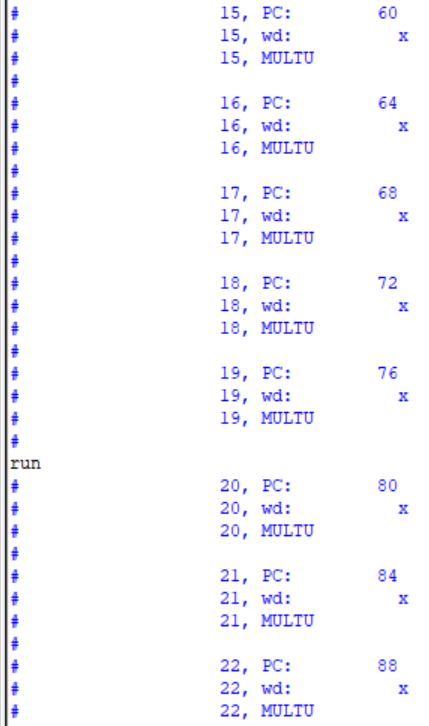
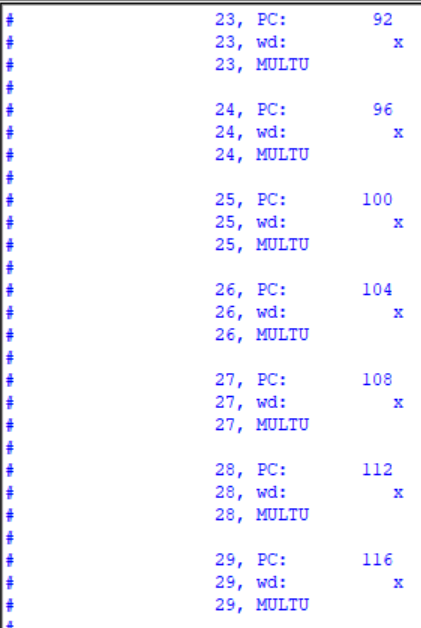
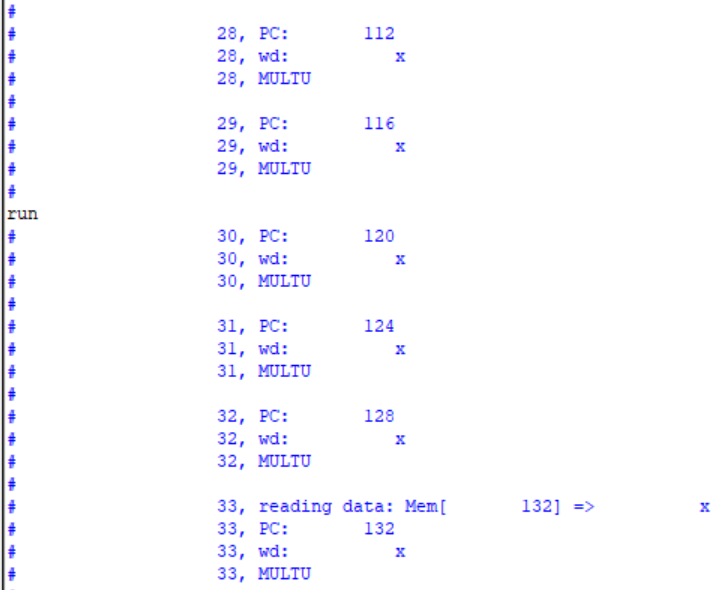
**2.**

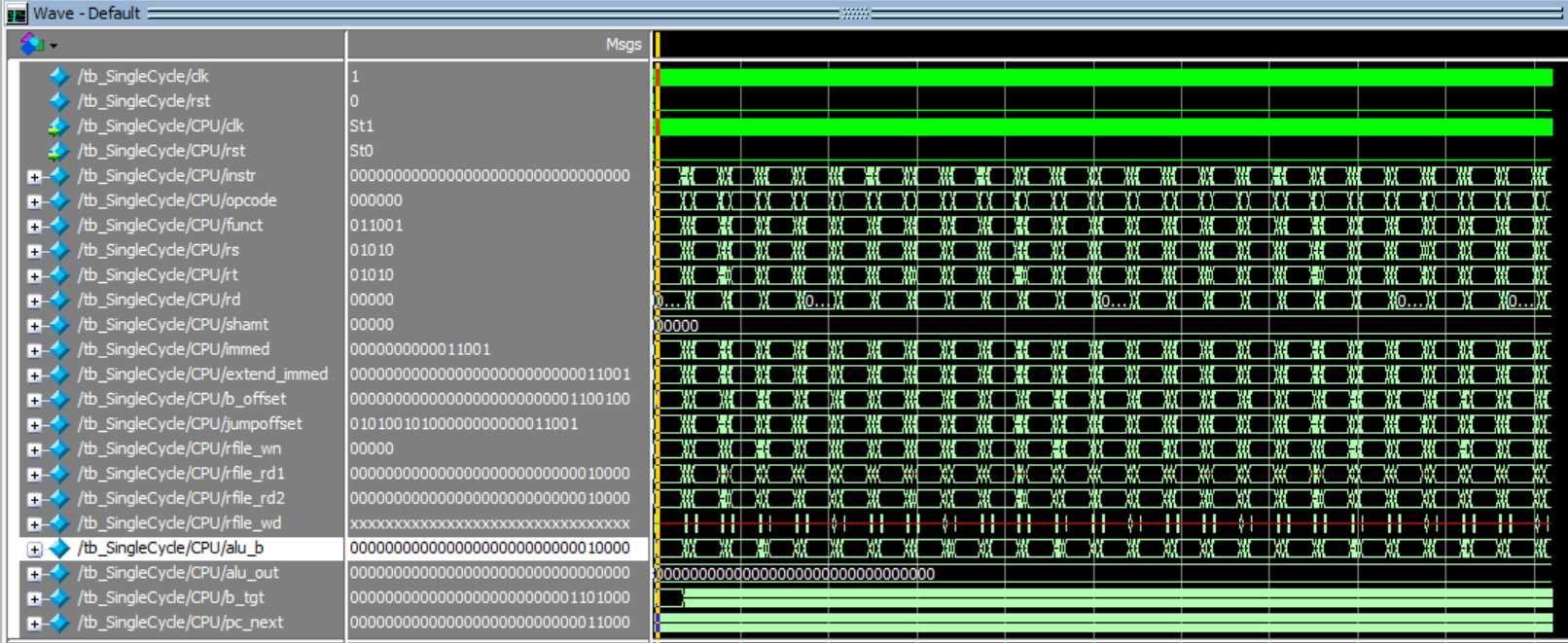
◾遇到multu的時候乘法要做32回合才做完，要再一回合寫給HILO所以後面需要加33個nop

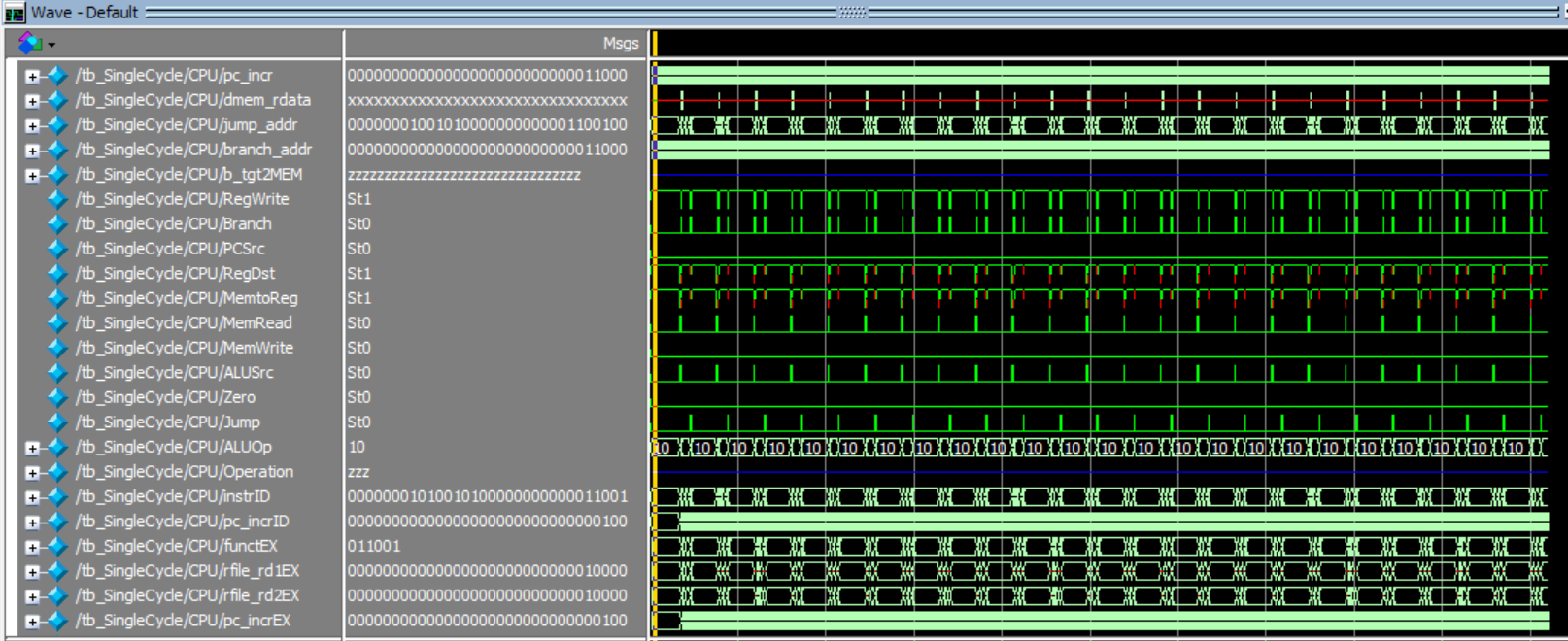
◾maddu乘加器因為要多一回合做加法所以後面需要加34個nop

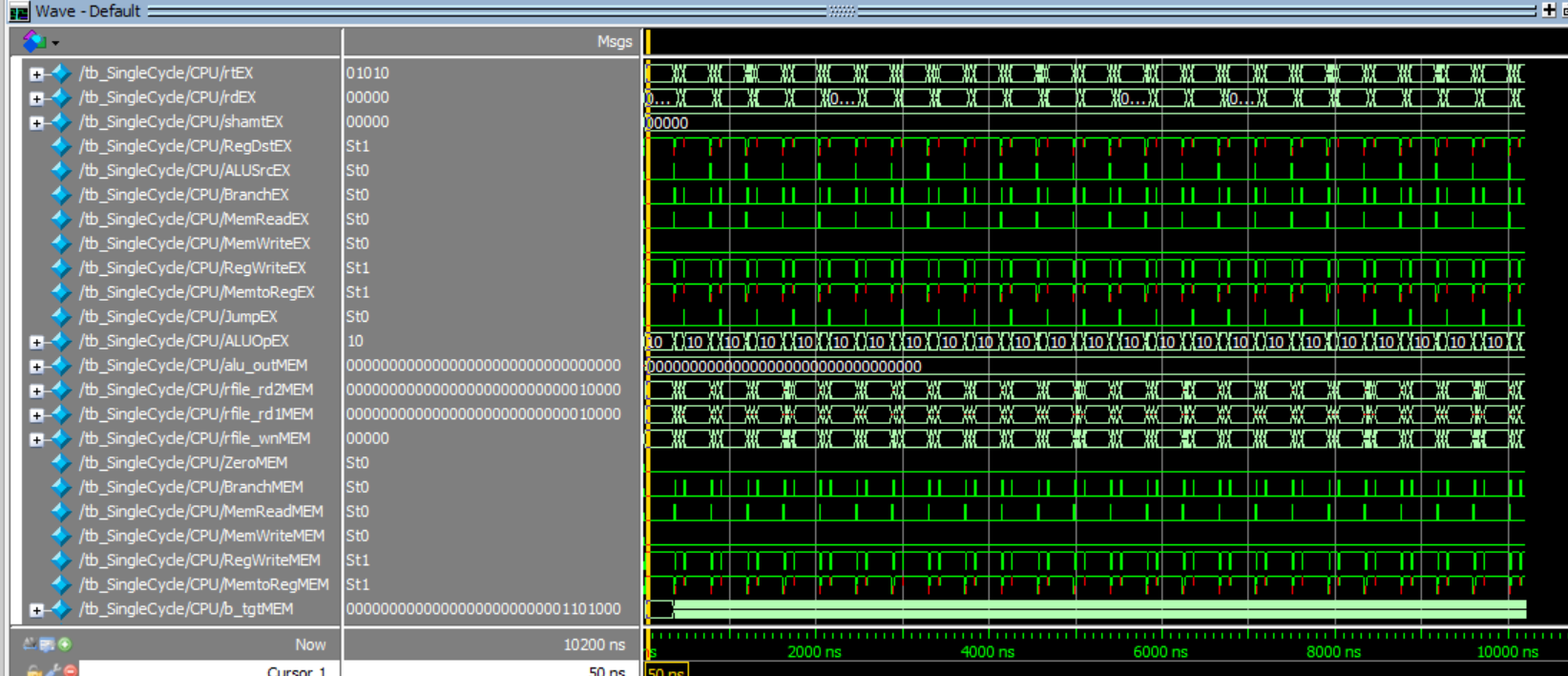


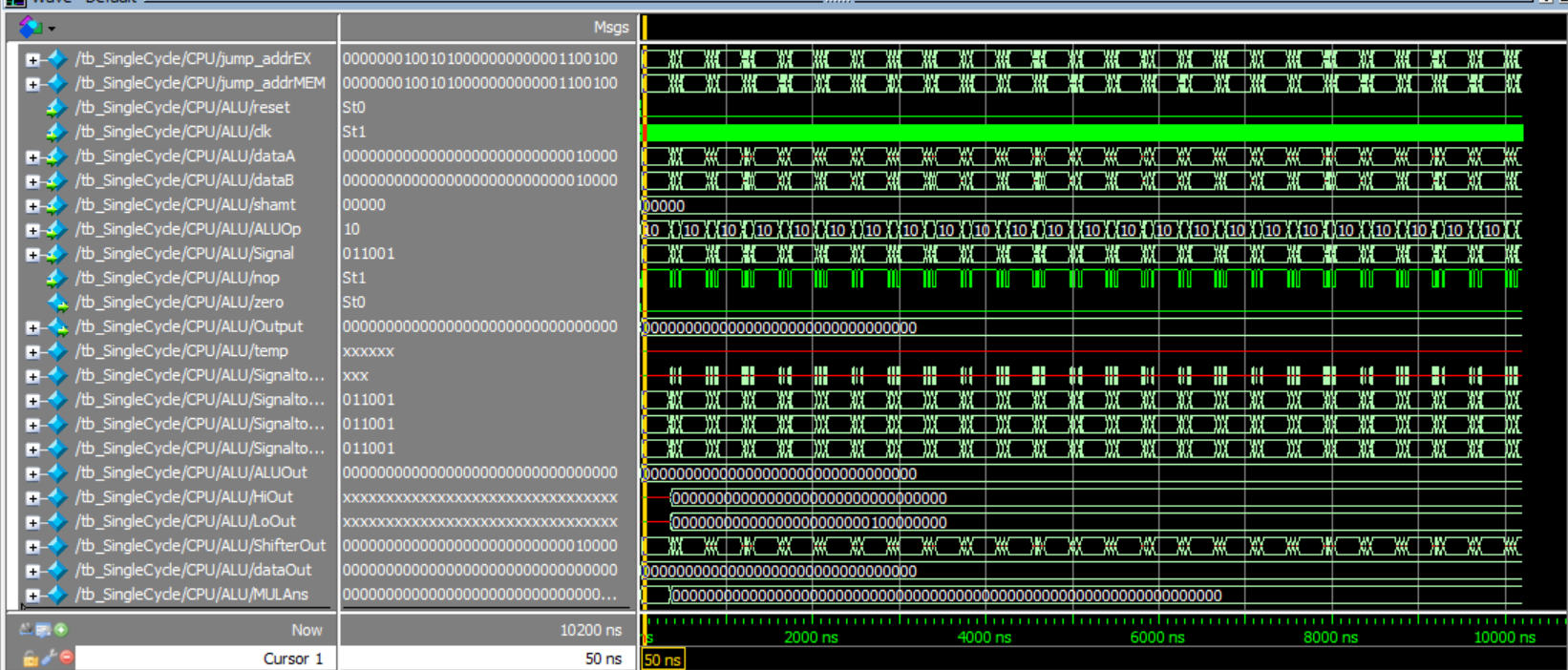




****

****

****

****

**5. 結論**

這一次的project還是要求我們使用modelsim來熟悉如何使用硬體描述語言並且能夠在期中project做出的ALU的基礎下完成一個切pipeline的CPU。在切pipeline時我們可以藉由wave圖清楚看到重疊執行，也能思考如何接線，了解後會讓我們之後更清楚如何去切更多階的處理器和對pipeline更加熟悉然後在替換ALU和新增老師指定的指令後，完成一個小型處理器並且因為有了這些過程讓我們能更了解上課時所不清楚的部分，相信我們能夠在計算機組織這堂課結束後，具備獨自製作簡單的處理器能力。最後，看到我們完成的小型處理器完成時跑出的wave圖，真的覺得很開心努力了那麼久終於有那麼一點成果，雖然過程中真的很辛苦很煩線一直接錯都覺得要寫不出來完蛋了。

**6.心得感想**

芃睿：這次的final project比上次的midterm project難了不少，在一開始還搞不太懂時根本不知道要從何開始做起，單純翻課本也得不出設計面的靈感。幸好老師在上課時有講了很多可能我們那裡容易犯錯、那裡容易出現問題，也跟其他進度比我們快的同學互相討論，最後瞭解了這次的final project到底要做甚麼，清楚了之後做起來就順手許多。

峻彥：這次的final project原本以為我們在擁有midterm project的經驗下、受過midterm project的洗禮，我們會好寫很多，直到開始要著手時，腦袋只有一片"我是誰我在哪"，根本不知道要幹嘛，老師給的題目說明也沒有很清楚說明該做什麼，不像期中Project的時候有給架構圖可以稍微參考一下知道線大概要怎麼接、還需要再撰寫哪些部分，所以真的是一頭霧水。一開始根本照著課本上做，結果發現 哇 一直出包。真的是花了很多時間去了解NOP等東西才把這份project生出來。

婕歆：這次的final project真的太難了！！！一開始根本毫無頭緒感覺根本沒有因為寫過期中project就覺得final比較好理解，像一隻無頭蒼蠅在到處打轉。幸好周遭很多比較厲害的同學都很願意分享自己的做法，同組的組員們也都很認真地把project生出來，而且在一些我可能比較搞不懂的地方也都很細心的教導我，最後在理解完整個project跟把圖畫出來後，一切就都豁然開朗了！！這次的圖真的有太多線拉一拉都不知道自己拉到哪去了，非常眼花撩亂，常常拉到一半忘記自己拉到哪了又重頭來一次，真的用道很暴躁是近視感覺增加了幾百度。

逸駿：難 真的難 真的好難，我除了難想不到其他的形容詞。一開始我覺得好像跟midterm project有點關係，我應該可以，結果實際去開始看之後才發現是我太高估自己了，我根本不知道自己要幹嘛。可能是我在這之前的基礎相較於組員們比較不好，所以在一開始我光理解就花了很多時間，但他們還是不厭其煩有耐心的讓我搞懂，這次的設計經驗真的是一個很寶貴的經驗！

**7.分工**

撰寫程式碼+書面報告:共同分工完成